

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Satoru SHIGETA ET AL  
Serial No.: Not yet assigned  
Filed: NOVEMBER 19, 2003  
Title: INTERFACE CIRCUIT WITH POWER CONVERTER WITH  
INTERFACE CIRCUIT AND ELECTRIC VEHICLE WITH  
POWER CONVERTER  
Customer No.: 23911  
Confirmation No.:

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450


November 19, 2003

Sir:

The benefit of the filing date of prior foreign application No. 2002-336098, filed in Japan on 20 November 2002 (20.11.2002), is hereby requested and the right of priority under 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of the original foreign application.

Respectfully submitted,



Gary R. Edwards

Registration No. 31,824

CROWELL & MORING, LLP  
Intellectual Property Group  
P.O. Box 14300  
Washington, DC 20044-4300  
Telephone No.: (202) 624-2500  
Facsimile No.: (202) 628-8844  
GRE:kms

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 0 日  
Date of Application:

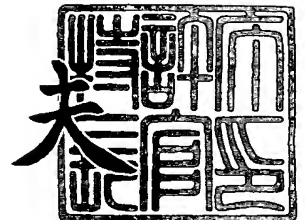
出 願 番 号                      特 願 2 0 0 2 - 3 3 6 0 9 8  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 3 6 0 9 8 ]

出 願 人                      株式会社日立製作所  
Applicant(s):

2 0 0 3 年 1 0 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 JP4215  
【あて先】 特許庁長官殿  
【国際特許分類】 H02M 7/12

## 【発明者】

【住所又は居所】 茨城県ひたちなか市大字高場 2 5 2 0 番地  
株式会社 日立製作所 自動車機器グループ内

【氏名】 重田 哲

## 【発明者】

【住所又は居所】 茨城県ひたちなか市大字高場 2 5 2 0 番地  
株式会社 日立製作所 自動車機器グループ内

【氏名】 前田 裕司

## 【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号  
株式会社 日立製作所 日立研究所内

【氏名】 坂野 順一

## 【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号  
株式会社 日立製作所 日立研究所内

【氏名】 白川 真司

## 【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

## 【代理人】

【識別番号】 100077816

【弁理士】

【氏名又は名称】 春日 譲

## 【手数料の表示】

【予納台帳番号】 009209

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 インターフェース回路、それを用いた電力変換装置およびそれを用いた電動車両

【特許請求の範囲】

【請求項 1】

パワー素子を駆動する制御回路から上記パワー素子に制御信号を伝達するインターフェース回路において、

上記制御回路のグランドと上記パワー素子のグランドの間に生じるノイズ電圧を電氣的に吸収するノイズ吸収部を備え、

このノイズ吸収部により、上記ノイズ電圧が発生しても、このノイズ電圧の影響を受けることなく、上記制御回路が発生する上記制御信号を上記パワー素子に伝達することを特徴とするインターフェース回路。

【請求項 2】

請求項 1 記載のインターフェース回路において、

上記ノイズ吸収部は、

一定電圧まで電流を流さない定電圧的、若しくは、一定電圧までは一定電流を流す定電流的不感帯発生部を備え、

この不感帯部は、上記ノイズ電圧による影響を電氣的に吸収することを特徴とするインターフェース回路。

【請求項 3】

請求項 2 記載のインターフェース回路において、

上記ノイズ吸収部は、上記定電圧的不感帯部とともに、上記制御信号のLowレベルに対応するLow信号を発生するLow信号発生部と、上記制御信号のHighレベルに対応するHigh信号を発生するHigh信号発生部とを備えることを特徴とするインターフェース回路。

【請求項 4】

請求項 3 記載のインターフェース回路において、

上記定電圧的不感帯部の不感帯電圧  $V_c$  は、上記ノイズ電圧  $V_{noise}$  よりも大きく設定されていることを特徴とするインターフェース回路。

**【請求項 5】**

請求項 2 記載のインターフェース回路において、

上記ノイズ吸収部は、上記定電流的不感帯部とともに、上記定電流的不感帯部によって定電流が流れたとき、その電流を電圧に変換して、High信号を発生する電流電圧変換回路とを備えることを特徴とするインターフェース回路。

**【請求項 6】**

請求項 1 記載のインターフェース回路において、さらに、

上記ノイズ吸収部が出力する制御信号を上記パワー素子をオンオフする信号レベルに変換する信号補正部を備えることを特徴とするインターフェース回路。

**【請求項 7】**

請求項 6 記載のインターフェース回路において、

電源電圧  $V_{DC}$  と、上記信号補正部の論理電圧振幅  $\Delta V_{logic}$  の差分 ( $V_{DC} - \Delta V_{logic}$ ) を、上記ノイズ電圧  $V_{noise}$  よりも大きく設定したことを特徴とするインターフェース回路。

**【請求項 8】**

半導体素子を有するモジュール部に、制御部から出力された半導体素子駆動用制御信号を伝達するものであって、上記制御部から出力された上記制御信号を電氣的に受け取る受取手段と、この受取手段が受け取った上記制御信号を、上記制御部のグラウンド電位と上記半導体素子のグラウンド電位との電位差に起因する上記制御信号のレベル変化を無視して、上記モジュール部に伝達する伝達手段とを具備することを特徴とするインターフェース回路。

**【請求項 9】**

請求項 8 記載のインターフェース回路において、

上記伝達手段は、上記電位差を電氣的に吸収するノイズ吸収部であることを特徴とするインターフェース回路。

**【請求項 10】**

請求項 9 記載のインターフェース回路において、

上記ノイズ吸収部は、一定電圧まで電流を流さない低電圧的若しくは一定電圧までは一定電流を流す定電流的不感帯を発生して上記電位差を電氣的に吸収する

不感帯発生部と、上記制御信号の L o w レベルに対応する L o w 信号を発生する L o w 信号発生部と、上記制御信号の H i g h レベルに対応する H i g h 信号を発生する H i g h 信号発生部とを具備することを特徴とするインターフェース回路。

**【請求項 1 1】**

請求項 1 0 記載のインターフェース回路において、

上記不感帯発生部の不感帯電圧は、上記電位差よりも大きく設定されていることを特徴とするインターフェース回路。

**【請求項 1 2】**

請求項 1 0 記載のインターフェース回路において、

上記ノイズ吸収部は、上記不感帯発生部によって定電流が流れた時、その電流を電圧に変換して、H i g h 信号を発生する電流電圧変換回路を具備することを特徴とするインターフェース回路。

**【請求項 1 3】**

請求項 8 記載のインターフェース回路において、

上記伝達手段から出力された上記制御信号を上記半導体素子の駆動信号レベルに変換する信号補正部を具備することを特徴とするインターフェース回路。

**【請求項 1 4】**

請求項 1 3 記載のインターフェース回路において、

電源電圧と上記信号補正部の論理電圧振幅との差分は、上記電位差よりも大きく設定されていることを特徴とするインターフェース回路。

**【請求項 1 5】**

半導体素子の駆動を制御する制御部から出力された制御信号を上記半導体素子に伝達するものであって、

上記制御部から出力された制御信号を電氣的に受け取る手段と、

この受け取った制御信号を、上記制御部のグランド電位と上記半導体素子のグランド電位との電位差による上記制御信号のレベル変化を無視して、上記半導体素子に伝達する手段を備えたことを特徴とするインターフェース回路。

**【請求項 1 6】**

パワー素子と、このパワー素子を駆動する制御回路と、この制御回路から上記パワー素子に制御信号を伝達するインターフェース回路とを有する電力変換装置において、

上記インターフェース回路は、上記パワー素子およびこのパワー素子により構成されるパワーモジュールの寄生インダクタンスにより、上記制御回路のグラウンドと上記パワー素子のグラウンドの間に生じるノイズ電圧を電氣的に吸収するノイズ吸収部を備え、

このノイズ吸収部により、上記ノイズ電圧が発生しても、このノイズ電圧の影響を受けることなく、上記制御回路が発生する上記制御信号を上記パワー素子に伝達することを特徴とする電力変換装置。

#### 【請求項 1 7】

請求項 1 6 記載の電力変換装置において、

上記インターフェース回路は、上記ノイズ吸収部が出力する制御信号を上記パワー素子をオンオフする信号レベルに変換する信号補正部を備えとともに、

上記インターフェース回路の電源電圧  $V_{DC}$  と、上記信号補正部の論理電圧振幅  $\Delta V_{logic}$  の差分 ( $V_{DC} - \Delta V_{logic}$ ) を、上記ノイズ電圧  $V_{noise}$  よりも大きく設定したことを特徴とする電力変換装置。

#### 【請求項 1 8】

請求項 1 6 記載の電力変換装置において、

上記インターフェース回路と上記パワー素子との間に、上記パワー素子のスイッチング速度をゆっくりにするソフトスイッチングゲート駆動回路を備えたことを特徴とする電力変換装置。

#### 【請求項 1 9】

請求項 1 8 記載の電力変換装置において、

上記ソフトスイッチングゲート駆動回路によって上記パワー素子を緩やかにスイッチングした時のパワー素子を流れる電流  $I$  の変化分 ( $dI/dt$ ) に、上記寄生インダクタンスのインダクタンス分  $L$  を乗じた値が、上記インターフェース回路の電源電圧  $V_{DC}$  と上記信号補正部の論理電圧振幅  $\Delta V_{logic}$  の差分 ( $V_{DC} - \Delta V_{logic}$ ) 以下となるように、上記ソフトスイッチングゲート駆動回路によって



上記パワー素子をスイッチングする速度を設定することを特徴とする電力変換装置。

#### 【請求項 2 0】

車輪を駆動するモータと、直流電源から供給される直流電力を交流電力に変換するとともに、上記モータに供給する電流を制御する電力変換装置を有する電動車両において、

上記電力変換装置は、パワー素子と、このパワー素子を駆動するモータ制御回路と、このモータ制御回路から上記パワー素子に制御信号を伝達するインターフェース回路とを有する電力変換装置において、

上記インターフェース回路は、上記パワー素子およびこのパワー素子により構成されるパワーモジュールの寄生インダクタンスにより、上記制御回路のグラウンドと上記パワー素子のグラウンドの間に生じるノイズ電圧を電氣的に吸収するノイズ吸収部を備え、

このノイズ吸収部により、上記ノイズ電圧が発生しても、このノイズ電圧の影響を受けることなく、上記制御回路が発生する上記制御信号を上記パワー素子に伝達することを特徴とする電動車両。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

##### 【発明の属する技術分野】

本発明は、インターフェース回路、それを用いた電力変換装置およびそれを用いた電動車両に係り、特に、パワー素子の制御に用いるに好適なインターフェース回路、それを用いた電力変換装置およびそれを用いた電動車両に関する。

##### 【0 0 0 2】

##### 【従来の技術】

従来、モータ負荷を駆動するシステムでは、例えば、特開 2 0 0 1 - 3 2 7 1 7 1 号公報に記載されているように、制御系回路であるコントロールユニットと、パワー系回路を構成するパワー半導体素子の間には、フォトカプラからなるインターフェース回路を用いている。すなわち、負荷であるモータを駆動するパワ

一半導体素子は、大電流を短時間でスイッチングするため、寄生インダクタンスに発生する電圧が、パワー系回路のグラウンドの電位を変動させ、ノイズとなる。そこで、パワー系グラウンドの配線と制御系グラウンドの配線をそれぞれ設け、寄生インダクタンスによるノイズによる誤動作を防ぐため、制御系からパワー系にフォトカプラを介して制御信号を伝達することにより、制御系とパワー系を電氣的に分離している。

#### 【 0 0 0 3 】

##### 【特許文献】

特開 2 0 0 1 - 3 2 7 1 7 1 号公報

#### 【 0 0 0 4 】

##### 【発明が解決しようとする課題】

しかしながら、フォトカプラは光素子を使用していることから、耐久性が低く、したがって、信頼性が低いという問題があった。特に、モータによって車輪を駆動する電動車両においては、その使用温度環境が例えば  $-40^{\circ}\text{C}$  ~  $+105^{\circ}\text{C}$  と広いにも関わらず、フォトカプラの使用可能な温度範囲は、これよりも狭く、低温時若しくは高温時における耐久性が大幅に低下する。フォトカプラが故障して制御系からパワー系に制御信号が伝達されなくなると、モータの制御が不可能となり、電動車両を走行できなくなり、その制御信頼性が低下することになる。

#### 【 0 0 0 5 】

一方、フォトカプラを用いないと、上述した寄生インダクタンスによるノイズの影響で、制御信号を正しくパワー素子に伝達できなくなり、制御信頼性が低下することになる。

#### 【 0 0 0 6 】

本発明の目的は、フォトカプラを用いることなく、しかも、制御信頼性の向上したインターフェース回路、それを用いた電力変換装置およびそれを用いた電動車両を提供することにある。

#### 【 0 0 0 7 】

##### 【課題を解決するための手段】

(1) 上記目的を達成するために、本発明は、パワー素子を駆動する制御回路

から上記パワー素子に制御信号を伝達するインターフェース回路において、上記制御回路のグラウンドと上記パワー素子のグラウンドの間に生じるノイズ電圧を電氣的に吸収するノイズ吸収部を備え、このノイズ吸収部により、上記ノイズ電圧が発生しても、このノイズ電圧の影響を受けることなく、上記制御回路が発生する上記制御信号を上記パワー素子に伝達するようにしたものである。

かかる構成により、フォトカプラを用いることなく、しかも、制御信頼性を向上し得るものとなる。

#### 【0008】

(2) 上記(1)において、好ましくは、上記ノイズ吸収部は、一定電圧まで電流を流さない定電圧的、若しくは、一定電圧までは一定電流を流す定電流的不感帯発生部を備え、この不感帯部は、上記ノイズ電圧による影響を電氣的に吸収するようにしたものである。

#### 【0009】

(3) 上記(2)において、好ましくは、上記ノイズ吸収部は、上記定電圧的不感帯部とともに、上記制御信号のLowレベルに対応するLow信号を発生するLow信号発生部と、上記制御信号のHighレベルに対応するHigh信号を発生するHigh信号発生部とを備えるようにしたものである。

#### 【0010】

(4) 上記(3)において、好ましくは、上記定電圧的不感帯部の不感帯電圧 $V_c$ は、上記ノイズ電圧 $V_{noise}$ よりも大きく設定したものである。

#### 【0011】

(5) 上記(2)において、好ましくは、上記ノイズ吸収部は、上記定電流的不感帯部とともに、上記定電流的不感帯部によって定電流が流れたとき、その電流を電圧に変換して、High信号を発生する電流電圧変換回路とを備えるようにしたものである。

#### 【0012】

(6) 上記(1)において、好ましくは、さらに、上記ノイズ吸収部が出力する制御信号を上記パワー素子をオンオフする信号レベルに変換する信号補正部を備えるようにしたものである。

## 【0 0 1 3】

(7) 上記 (6) において、好ましくは、電源電圧  $V_{DC}$  と、上記信号補正部の論理電圧振幅  $\Delta V_{logic}$  の差分 ( $V_{DC} - \Delta V_{logic}$ ) を、上記ノイズ電圧  $V_{noise}$  よりも大きく設定したものである。

## 【0 0 1 4】

(8) 上記目的を達成するために、本発明は、半導体素子を有するモジュール部に、制御部から出力された半導体素子駆動用制御信号を伝達するものであって、上記制御部から出力された上記制御信号を電氣的に受け取る受取手段と、この受取手段が受け取った上記制御信号を、上記制御部のグランド電位と上記半導体素子のグランド電位との電位差に起因する上記制御信号のレベル変化を無視して、上記モジュール部に伝達する伝達手段とを具備するようにしたものである。

かかる構成により、フォトカプラを用いることなく、しかも、制御信頼性を向上し得るものとなる。

## 【0 0 1 5】

(9) 上記 (8) において、好ましくは、上記伝達手段は、上記電位差を電氣的に吸収するノイズ吸収部としたものである。

## 【0 0 1 6】

(10) 上記 (9) において、好ましくは、上記ノイズ吸収部は、一定電圧まで電流を流さない低電圧的若しくは一定電圧までは一定電流を流す定電流的不感帯を発生して上記電位差を電氣的に吸収する不感帯発生部と、上記制御信号の  $L o w$  レベルに対応する  $L o w$  信号を発生する  $L o w$  信号発生部と、上記制御信号の  $H i g h$  レベルに対応する  $H i g h$  信号を発生する  $H i g h$  信号発生部とを具備するようにしたものである。

## 【0 0 1 7】

(11) 上記 (10) において、好ましくは、上記不感帯発生部の不感帯電圧は、上記電位差よりも大きく設定したものである。

## 【0 0 1 8】

(12) 上記 (10) において、好ましくは、上記ノイズ吸収部は、上記不感帯発生部によって定電流が流れた時、その電流を電圧に変換して、 $H i g h$  信号

を発生する電流電圧変換回路を具備するようにしたものである。

【0 0 1 9】

(1 3) 上記(8)において、好ましくは、上記伝達手段から出力された上記制御信号を上記半導体素子の駆動信号レベルに変換する信号補正部を具備するようにしたものである。

【0 0 2 0】

(1 4) 上記(1 3)において、好ましくは、電源電圧と上記信号補正部の論理電圧振幅との差分は、上記電位差よりも大きく設定したものである。

【0 0 2 1】

(1 5) 上記目的を達成するために、本発明は、半導体素子の駆動を制御する制御部から出力された制御信号を上記半導体素子に伝達するものであって、上記制御部から出力された制御信号を電氣的に受け取る手段と、この受け取った制御信号を、上記制御部のグランド電位と上記半導体素子のグランド電位との電位差による上記制御信号のレベル変化を無視して、上記半導体素子に伝達する手段を備えるようにしたものである。

かかる構成により、フォトカプラを用いることなく、しかも、制御信頼性を向上し得るものとなる。

【0 0 2 2】

(1 6) 上記目的を達成するために、本発明は、パワー素子と、このパワー素子を駆動する制御回路と、この制御回路から上記パワー素子に制御信号を伝達するインターフェース回路とを有する電力変換装置において、上記インターフェース回路は、上記パワー素子およびこのパワー素子により構成されるパワーモジュールの寄生インダクタンスにより、上記制御回路のグランドと上記パワー素子のグランドの間に生じるノイズ電圧を電氣的に吸収するノイズ吸収部を備え、このノイズ吸収部により、上記ノイズ電圧が発生しても、このノイズ電圧の影響を受けることなく、上記制御回路が発生する上記制御信号を上記パワー素子に伝達するようにしたものである。

かかる構成により、フォトカプラを用いることなく、しかも、制御信頼性を向上し得るものとなる。

## 【 0 0 2 3 】

(17) 上記(16)において、好ましくは、上記インターフェース回路は、上記ノイズ吸収部が出力する制御信号を上記パワー素子をオンオフする信号レベルに変換する信号補正部を備えるとともに、上記インターフェース回路の電源電圧  $V_{DC}$  と、上記信号補正部の論理電圧振幅  $\Delta V_{logic}$  の差分 ( $V_{DC} - \Delta V_{logic}$ ) を、上記ノイズ電圧  $V_{noise}$  よりも大きく設定したものである。

## 【 0 0 2 4 】

(18) 上記(16)において、好ましくは、上記インターフェース回路と上記パワー素子との間に、上記パワー素子のスイッチング速度をゆっくりにするソフトスイッチングゲート駆動回路を備えるようにしたものである。

## 【 0 0 2 5 】

(19) 上記(18)において、好ましくは、上記ソフトスイッチングゲート駆動回路によって上記パワー素子を緩やかにスイッチングした時のパワー素子を流れる電流  $I$  の変化分 ( $dI/dt$ ) に、上記寄生インダクタンスのインダクタンス分  $L$  を乗じた値が、上記インターフェース回路の電源電圧  $V_{DC}$  と上記信号補正部の論理電圧振幅  $\Delta V_{logic}$  の差分 ( $V_{DC} - \Delta V_{logic}$ ) 以下となるように、上記ソフトスイッチングゲート駆動回路によって上記パワー素子をスイッチングする速度を設定したものである。

## 【 0 0 2 6 】

(20) 上記目的を達成するために、本発明は、車輪を駆動するモータと、直流電源から供給される直流電力を交流電力に変換するとともに、上記モータに供給する電流を制御する電力変換装置を有する電動車両において、上記電力変換装置は、パワー素子と、このパワー素子を駆動するモータ制御回路と、このモータ制御回路から上記パワー素子に制御信号を伝達するインターフェース回路とを有する電力変換装置において、上記インターフェース回路は、上記パワー素子およびこのパワー素子により構成されるパワーモジュールの寄生インダクタンスにより、上記制御回路のグラウンドと上記パワー素子のグラウンドの間に生じるノイズ電圧を電氣的に吸収するノイズ吸収部を備え、このノイズ吸収部により、上記ノイズ電圧が発生しても、このノイズ電圧の影響を受けることなく、上記制御回路が

発生する上記制御信号を上記パワー素子に伝達するようにしたものである。

かかる構成により、フォトカプラを用いることなく、しかも、制御信頼性を向上し得るものとなる。

#### 【 0 0 2 7 】

##### 【発明の実施の形態】

以下、図 1 ～図 4 を用いて、本発明の第 1 の実施形態によるインターフェース回路置の構成について説明する。

図 1 は、本発明の第 1 の実施形態によるインターフェース回路の基本構成を示すブロック図である。図 2 は、本発明の第 1 の実施形態によるインターフェース回路の具体的構成を示すブロック図である。図 3 は、本発明の第 1 の実施形態によるインターフェース回路に用いる定電圧的不感帯発生部の特性図である。図 4 は、本発明の第 1 の実施形態による電力変換装置に用いるインターフェース回路の構成を示す回路図である。

#### 【 0 0 2 8 】

図 1 に示すように、本実施形態によるインターフェース回路 (I/F) 1 0 0 A は、制御回路 2 0 0 と、パワー回路 3 0 0 との間に設けられている。制御回路 2 0 0 は、グランド線 G 1 に接続されている。パワー回路 3 0 0 は、グランド線 G 2 に接続されている。パワー回路 3 0 0 は、後述するように、その内部に負荷であるモータを駆動するパワー半導体素子 (例えば、MOSFET) を備えている。パワー半導体素子は、大電流 I を短時間でスイッチングするため、寄生インダクタンス L にノイズ電圧 Vnoise が発生する。発生するノイズ電圧 Vnoise は、式 (1) で表される。

$$V_{noise} = -L \cdot dI/dt \quad \cdots (1)$$

パワー半導体素子に電流が流れない場合には、ノイズ電圧 Vnoise は 0 V であるため、グランド線 G 1 の電位 VG1 と、グランド線 G 2 の電位 VG2 は等しい。しかし、パワー半導体素子に電流が流れると、グランド線 G 1 の電位 VG1 は、グランド線 G 2 の電位 VG2 よりも、ノイズ電圧 Vnoise だけ高くなる。すなわち、グラ

ンド線 G 1 の電位  $V_{G1}$  とグラウンド線 G 2 の電位  $V_{G2}$  とは等しい場合と、電位差を有する場合がある。

#### 【0029】

インターフェース回路 100A は、電源切替部 110 と、ノイズ吸収部 120 と、信号補正部 130 とを備えている。ノイズ吸収部 120 は、寄生インダクタンス  $L$  に発生するノイズ電圧  $V_{noise}$  によって、グラウンド線 G 1 の電位  $V_{G1}$  とグラウンド線 G 2 の電位  $V_{G2}$  とは等しい場合や、電位差を有する場合があっても、このノイズ電圧  $V_{noise}$  の影響を吸収して、制御回路 200 からのオン・オフ制御信号が正確に、パワー回路 300 の入力部にオン・オフ信号として伝達されるようにする。

#### 【0030】

電源切替部 110 は、インタフェース回路 100A の電源電圧が供給されるとともに、制御回路 200 のグラウンド線 G 1 に接続されている。電源切替部 110 は、制御回路 200 から出力されたオン・オフ制御信号によって動作するスイッチである。ノイズ吸収部 120 は、上述したように、ノイズ電圧  $V_{noise}$  の影響を吸収するとともに、電源切替部 110 のスイッチ動作に応じて、インターフェース回路 100A の電源電圧レベルのオン・オフ信号（ハイ・ロー信号）を出力する。

#### 【0031】

信号補正部 130 は、ノイズ吸収部 120 が出力するオン・オフ信号（ハイ・ロー信号）を、パワー回路 300 のパワー半導体素子をオン・オフ制御するためのオン・オフ信号となるように、その信号レベルを変更する。なお、電源切替部 110 とノイズ吸収部 120 とが同一回路内で構成される場合もある。

#### 【0032】

次に、図 2 にさらに具体的に示すように、電源切替部 110 は、異なる電源系をまたぐようなスイッチ 112 を備えている。ノイズ吸収部 120 には、定電圧的不感帯発生部 122 と、Low 信号発生部 124 と、High 信号発生部 126 とを備えている。定電圧的不感帯発生部 122 は、図 3 に示すように、ある一定電圧  $V_c$  まで電流を流さず、電圧  $V_c$  以上で電流を流すような特性を有している



。ここで、電圧  $V_c$  を「不感帯電圧」と称する。Low 信号発生部 1 2 4 は、電流を流すことにより Low 信号を発生する。High 信号発生部 1 2 6 は、電流を流すことにより High 信号を発生する。信号補正部 1 3 0 は、パワー回路 3 0 0 の論理振幅に見合うように信号レベルを補正する。

#### 【0 0 3 3】

不感帯発生部 1 2 2 を設けることにより、例えば、スイッチ 1 1 2 をオンさせ、Low 信号を発生させた状態において、グラウンド G 1 の電位  $V_{G1}$  がグラウンド G 2 の電位  $V_{G2}$  よりも高くなっても、不感帯発生部 1 2 2 により、High 信号発生部 1 2 6 に電流が流れることがなく、正しい信号、即ち Low 信号が伝達される。また、この不感帯電圧  $V_c$  は、図 3 に示したように、ノイズ吸収部分の電源電圧  $V_{DC}$  から信号補正部の入力部の論理振幅  $\Delta V_{logic}$  をひいたものよりも小さくする。以上のように、不感帯発生部 1 2 2 を有するノイズ吸収部 1 2 0 を設け、不感帯電圧  $V_c$  よりも低いノイズを発生させるパワー回路を構築することにより、光素子を使用した信号伝達回路を使用せずに異なる電源系の間で信号を伝達できる。

#### 【0 0 3 4】

次に、図 4 を用いて、本実施形態によるインターフェース回路 1 0 0 A の具体的な回路構成について説明する。

電源切替部 1 1 0 は、トランジスタ  $TR_1$  を備えている。トランジスタ  $TR_1$  が図 2 に示したスイッチ 1 1 2 を構成する。トランジスタ  $TR_1$  のエミッタは、グラウンド配線 G 1 に接続されている。トランジスタ  $TR_1$  のベースには、図 2 に示した制御回路 2 0 0 からオン・オフ制御信号  $V_{in}$  が入力する。トランジスタ  $TR_1$  のコレクタは、グラウンド配線 G 1 とは完全に絶縁されていないグラウンド配線 G 2 をグラウンドとするノイズ吸収部 1 2 0 に信号を伝達する。

#### 【0 0 3 5】

ノイズ吸収部 1 2 0 は、抵抗  $R_1$  と、ダイオード  $D_1$  と、ツェナーダイオード  $ZD_1$  と、抵抗  $R_2$  とを備えている。抵抗  $R_1$  は、図 2 の Low 信号発生部 1 2 4 を構成する。ダイオード  $D_1$  とツェナーダイオード  $ZD_1$  は、図 2 の定電圧的不感帯発生部 1 2 2 を構成する。抵抗  $R_2$  は、図 2 の High 信号発生部 1 2 6

を構成する。

### 【0036】

信号補正部130は、コンデンサC1と、抵抗R3、R4、R5と、トランジスタTR2とを備えている。コンデンサC1は、フィルター回路を構成する。コンデンサC1は、トランジスタTR1のスイッチング動作によって、ノイズ吸収部120の抵抗R2の両端電圧に重畳したノイズ信号によって、トランジスタTR2が誤動作しないように、高周波分をカットして、直流信号成分のみをトランジスタTR2のベースに供給する。抵抗R3と抵抗R4は、抵抗分圧回路を構成する。抵抗R2の両端電圧が、例えば、Hiレベル(1V) / Lowレベル(0V)と変化するとき、トランジスタTR2をオン・オフ動作させるに必要なHiレベル(0.6V) / Lowレベル(0V)の電圧に変換する。抵抗R5はプルアップ抵抗である。トランジスタTR2がオンすると、信号補正部130の出力電圧Voutは、0Vとなり、トランジスタTR2がオフすると、信号補正部130の出力電圧は、信号補正部130の電源電圧VDC(例えば、12V)となる。電源切替部110に入力する電圧Vinは、制御回路200からのオン・オフ制御信号である。制御回路200としては例えばマイクロコンピュータが用いられると、入力電圧Vinのレベルは、例えば、Hiレベル(0.6V) / Lowレベル(0V)である。一方、パワー回路300に用いられるパワー半導体素子をオンさせるための電圧Vthは、例えば、3Vである。そこで、信号補正部130によって、入力電圧Vin(Hiレベル(0.6V) / Lowレベル(0V))を、これよりも信号電圧の高い出力電圧Vout(Hiレベル(12V) / Lowレベル(0V))に変換する。

### 【0037】

次に、本実施形態によるインターフェース回路100Aの動作について説明する。

### 【0038】

電源切替部110の入力電圧(トランジスタTR1のベース端子電圧)が、Lowレベルのとき、不感帯発生部122にあたるツェナーダイオードZD1およびHigh信号発生部にあたる抵抗R2に電流が流れ、信号補正部130のトランジスタTR2がオンし、信号補正部130の出力電圧VoutはLowレベルとなる。この

とき、トランジスタ T R 1 はオフであり、トランジスタ T R 1 のコレクタ端子はオープン状態であるため、ノイズによりグラウンド配線 G 1 とグラウンド配線 G 2 の間に電位差が生じたとしても、信号の授受に影響はない。

#### 【 0 0 3 9 】

トランジスタ T R 1 のエミッタコレクタ間にかかる電圧は、ノイズ電圧  $V_{noise}$  と、インターフェース回路 1 0 0 A の電源電圧  $V_{DC}$  を加えたものである。トランジスタ T R 1 のエミッタコレクタ間にかかる電圧は、トランジスタ T R 1 の耐圧（ブレイクダウン電圧）  $B V_{ceo}$  以下にする必要があるため、以下の式（2）を満たす必要がある。

$$V_{noise} + V_{DC} < B V_{ceo} \quad \cdots (2)$$

また、トランジスタ T R 1 のベースエミッタ間には、逆バイアスがかからないようにする必要があるので、以下の式（3）のように、

$$V_{noise} + V_{DC} > 0 \quad \cdots (3)$$

とする必要がある。従って、式（2）、式（3）から、グラウンド配線 G 1 とグラウンド配線 G 2 の電位差、すなわち、ノイズ電圧  $V_{noise}$  は、以下の式（4）を満たすように、

$$-V_{DC} < V_{noise} < B V_{ceo} - V_{DC} \quad \cdots (4)$$

とする必要がある。

#### 【 0 0 4 0 】

各電圧については、後述するが、例えば、インターフェース回路 1 0 0 A の電源電圧  $V_{DC}$  を 1 2 V とし、トランジスタ T R 1 の耐圧（ブレイクダウン電圧）  $B V_{ceo}$  を 6 0 V とすると、式（4）を満たすノイズ電圧  $V_{noise}$  は、以下の式（5）のように、

$$-12\text{ V} < \text{ノイズ電圧 } V_{\text{noise}} < 48\text{ V} \quad \cdots (5)$$

とする必要がある。ノイズ電圧  $V_{\text{noise}}$  は、式 (1) で説明したように、寄生インダクタンス  $L$  と、この寄生インダクタンスを流れる電流の変化分  $dI/dt$  で決まるため、予め寄生インダクタンス  $L$  が決まれば、この値に応じて、寄生インダクタンスを流れる電流の変化分  $dI/dt$  が所定の値となるようにすることで、式 (4) を満たすことができる。

#### 【0041】

次に、電源切替部 110 の入力電圧 (トランジスタ  $TR1$  のベース端子電圧) が、High レベルのとき、不感帯発生部 122 にあたるツェナーダイオード  $ZD1$  には電流が流れず、トランジスタ  $TR2$  がオフし、インタフェース回路 100A の出力電圧  $V_{\text{out}}$  は High レベルとなる。このときのトランジスタ  $TR1$  のコレクタ端子の電位は、グランド配線  $G1$  の電位にほぼ等しいので、ノイズによりグランド配線  $G1$  の電位がグランド配線  $G2$  の電位より高くなっても、ツェナーダイオード  $ZD1$  のツェナー電圧以下であれば、トランジスタ  $TR2$  は誤ってオンすることはないものである。ここで、ツェナーダイオード  $ZD1$  のツェナー電圧が、不感帯発生部 122 の不感帯電圧  $V_c$  に相当する。トランジスタ  $TR2$  の動作電圧 (抵抗  $R4$  の両端電圧；トランジスタ  $TR2$  のベースエミッタ電圧) を  $\Delta V_{\text{logic}}$  とすると、以下の式 (6) のように、

$$V_c + \Delta V_{\text{logic}} < V_{\text{DC}} \quad \cdots (7)$$

とすればよいものである。

#### 【0042】

また、ノイズによりグランド配線  $G1$  の電位がグランド配線  $G2$  の電位より低くなった場合は、トランジスタ  $TR1$  を流れる電流値が大きくなるが、トランジスタ  $TR1$  の電流最大値およびダイオード  $D1$  の逆耐圧を超えない範囲ならば、トランジスタ  $TR2$  の動作に影響しないものである。そこで、ツェナーダイオー

ド Z D 1 のツェナー電圧（不感帯発生部 1 2 2 の不感帯電圧  $V_c$ ）と、ノイズ電圧  $V_{noise}$  の間に、以下の式（7）のように、

$$V_{noise} < V_c \cdots (7)$$

とすればよいものである。

【 0 0 4 3 】

従って、式（6）、式（7）から、ツェナーダイオード Z D 1 のツェナー電圧（不感帯発生部 1 2 2 の不感帯電圧  $V_c$ ）は、以下の式（8）のように、

$$V_{noise} < V_c < V_{DC} - \Delta V_{logic} \cdots (8)$$

と選定することで、ノイズ耐量を持ったシステムを構築することができる。

【 0 0 4 4 】

例えば、インターフェース回路 1 0 0 A の電源電圧  $V_{DC}$  を 1 2 V とし、トランジスタ T R 2 の動作電圧を  $\Delta V_{logic}$  を 0. 6 V とすると、式（8）は、以下の式（9）のように、

$$\text{ノイズ電圧 } V_{noise} < \text{不感帯電圧 } V_c < 12 \text{ V} - 0.6 \text{ V} \cdots (9)$$

となる。

【 0 0 4 5 】

したがって、式（6）を満たすノイズ電圧  $V_{noise}$  を例えば、1 0 V とすると、式（9）を満たす不感帯電圧  $V_c$  は、例えば、 $10 \text{ V} < \text{不感帯電圧 } V_c < 11.4 \text{ V}$  となる。

【 0 0 4 6 】

以上説明したように、制御回路とパワー回路の間のインターフェース回路に、定電圧的不感帯回路を用いることにより、寄生インダクタンスによるノイズ電圧によってグランド配線 G 1, G 2 間の電圧が変動しても、このノイズ電圧の影響

を受けることなく、制御信号をパワー回路に伝達することができる。また、フォトカプラのような光素子を用いることなく、制御信号をパワー回路に伝達することができる。したがって、フォトカプラを用いることなく、しかも、制御信頼性を向上することができる。

#### 【0 0 4 7】

次に、図 5 ～図 7 を用いて、本発明の第 2 の実施形態によるインターフェース回路の構成について説明する。

図 5 は、本発明の第 2 の実施形態によるインターフェース回路の具体的構成を示すブロック図である。図 6 は、本発明の第 2 の実施形態によるインターフェース回路に用いる定電流的な感帯発生部の特性図である。図 7 は、本発明の第 2 の実施形態によるインターフェース回路の構成を示す回路図である。

#### 【0 0 4 8】

本実施形態によるインターフェース回路の基本構成は、図 1 に示したものと同様である。図 5 に示すように、インターフェース回路 1 0 0 B は、電源切替部 1 1 0 B と、ノイズ吸収部 1 2 0 B と、信号補正部 1 3 0 B とを備えている。ノイズ吸収部 1 2 0 B は、寄生インダクタンス  $L$  に発生するノイズ電圧  $V_{noise}$  によって、グラウンド線  $G 1$  の電位  $V_{G1}$  とグラウンド線  $G 2$  の電位  $V_{G2}$  とは等しい場合や、電位差を有する場合があっても、このノイズ電圧  $V_{noise}$  の影響を吸収して、制御回路 2 0 0 からのオン・オフ制御信号が正確に、パワー回路 3 0 0 の入力部にオン・オフ信号として伝達されるようにする。図 2 に示した例では、不感帯発生部 1 2 2 として、定電圧的な感帯発生部を用いていたのに対して、本実施形態では、定電流的な感帯発生部を用いている点に特徴がある。

#### 【0 0 4 9】

電源切替部 1 1 0 B は、異なる電源系をまたぐようなスイッチ 1 1 2 B を備えている。ノイズ吸収部 1 2 0 B には、定電流的な感帯発生部 1 2 2 B と、電流電圧変換回路 1 2 8 とを備えている。スイッチ部 1 1 2 B と不感帯発生部 1 2 2 B によって、定電流を発生させる回路構成とする。スイッチ 1 1 2 B がオンして定電流的な感帯発生部 1 2 2 B によって定電流が流れると、この定電流が電流電圧変換回路 1 2 8 によって電圧に変換され、接点  $A 1$  に信号が発生し、伝達される

ここで、グラント配線G1の電位VG1とグラント配線G2の電位VG2が変動しても、その範囲が定電流を流すことが可能な電圧範囲、即ちノイズ吸収部分の電源電圧VDCから信号補正部132Bの入力部の論理振幅 $\Delta V_{logic}$ をひいたものよりも小さければ、図6に示すように、接点A1には一定の電流を供給することができ、信号を伝えることができる。信号補正部130Bは、パワー回路300の論理振幅に見合うように信号レベルを補正する。

#### 【0050】

以上のように、定電流的不感帯発生部122Bを有するノイズ吸収部120Bを設けることにより、光素子を使用した信号伝達回路を使用せずに異なる電源系の間で信号を伝達できる。

次に、図7を用いて、本実施形態によるインターフェース回路100Bの具体的な回路構成について説明する。

電源切替部110Bは、トランジスタTR11を備えている。トランジスタTR11が図5に示したスイッチ112Bを構成する。トランジスタTR11のエミッタは、グラント配線G1に接続されている。トランジスタTR11のベースには、図5に示した制御回路200からオン・オフ制御信号Vinが入力する。トランジスタTR11のコレクタは、グラント配線G1とは完全に絶縁されていないグラント配線G2をグラントとするノイズ吸収部120Bに信号を伝達する。

#### 【0051】

ノイズ吸収部120Bは、抵抗R11、R12と、トランジスタTR12とを備えている。抵抗R12とトランジスタTR12とは、図5の電流電圧変換回路128を構成する。トランジスタTR11の定電流特性を利用して、抵抗R11とにより、図5の定電流的不感帯発生部122Bを構成する。

#### 【0052】

信号補正部130Bは、抵抗R13を備えている。トランジスタTR12がオンすると、信号補正部130Bの出力電圧Voutは、電源電圧VDC（例えば、12V）となり、トランジスタTR12がオフすると、信号補正部130Bの出力電圧は、0Vとなる。

#### 【0053】



次に、本実施形態によるインターフェース回路 1 0 0 B の動作について説明する。

トランジスタ T R 1 1 がオフのとき、抵抗 R 1 1 および抵抗 R 1 2 には電流が流れないため、トランジスタ T R 1 2 もオフとなり、出力電圧 V<sub>out</sub> は Low レベルとなる。このとき、トランジスタ T R 1 1 のコレクタ端子は基本的にオープン状態であるため、ノイズによりグランド配線 G 1 とグランド配線 G 2 の間に電位差が生じたとしても、信号の授受に影響はないものである。

#### 【 0 0 5 4 】

ここで、グランドの電位差が大きくなると、トランジスタ T R 1 1 のエミッタコレクタ間にトランジスタ T R 1 1 の耐圧 B V<sub>ceo</sub> 以上の過電圧がかかったり、ベースエミッタ間に逆バイアスがかかることがあるので、上述の式 ( 4 ) と同じく、

$$-VDC < V_{noise} < BV_{ceo} - VDC \cdots (4)$$

となる必要がある。

#### 【 0 0 5 5 】

また、トランジスタ T R 1 1 がオンして、トランジスタ T R 1 1 のコレクタ端子が Low レベルになると、トランジスタ T R 1 2 がオンし、出力電圧 V<sub>out</sub> は High レベルとなる。このとき、トランジスタ T R 1 1 のコレクタエミッタ間、抵抗 R 1 1 および抵抗 R 1 2 には一定の電流が流れ、その電流によってトランジスタ T R 1 2 を駆動する。すなわち、トランジスタ T R 1 1 は、スイッチングを行う電源切替部としての役割と同時に、ベース電流に比例するコレクタ電流を流す定電流的不感帯部を生成する役割がある。したがって、グランド配線 G 1 とグランド配線 G 2 の間の電位変動にかかわらず、抵抗 R 1 1 および抵抗 R 1 2 には一定の電流が流れ、トランジスタ T R 1 2 をオンすることができる。

#### 【 0 0 5 6 】

ここで、グランド配線 G 1 に対するグランド配線 G 2 の電位が、ノイズ吸収部 1 2 0 B の電源電圧 VDC からトランジスタ T R 1 1 の論理振幅  $\Delta V_{logic}$  を引い



たものより高くなると、トランジスタ TR11 に電流が流れなくなるため、式 (8) と同様にして、以下の式 (10)、

$$V_{\text{noise}} < V_{\text{DC}} - \Delta V_{\text{logic}} \cdots (10)$$

となる必要がある。

#### 【0057】

以上説明したように、制御回路とパワー回路の間のインターフェース回路に、定電流的不感帯回路を用いることにより、寄生インダクタンスによるノイズ電圧によってグラウンド配線 G1、G2 間の電圧が変動しても、このノイズ電圧の影響を受けることなく、制御信号をパワー回路に伝達することができる。また、フォトカプラのような光素子を用いることなく、制御信号をパワー回路に伝達することができる。したがって、フォトカプラを用いることなく、しかも、制御信頼性を向上することができる。

#### 【0058】

次に、図 8 を用いて、本発明の第 3 の実施形態によるインターフェース回路の構成について説明する。

図 8 は、本発明の第 3 の実施形態によるインターフェース回路の構成を示す回路図である。

#### 【0059】

本実施形態によるインターフェース回路の基本構成は、図 1 に示したものと同様である。また、インターフェース回路の具体的構成は、図 5 に示したものと同様である。すなわち、図 8 に示すように、インターフェース回路 100C は、電源切替部 110C と、ノイズ吸収部 120C と、信号補正部 130C とを備えている。ノイズ吸収部 120C は、寄生インダクタンス L に発生するノイズ電圧  $V_{\text{noise}}$  によって、グラウンド線 G1 の電位  $V_{G1}$  とグラウンド線 G2 の電位  $V_{G2}$  とは等しい場合や、電位差を有する場合があっても、このノイズ電圧  $V_{\text{noise}}$  の影響を吸収して、制御回路 200 からのオン・オフ制御信号が正確に、パワー回路 300 の入力部にオン・オフ信号として伝達されるようにする。本実施形態では、不

感帯発生部 122 として、図 7 と同様に、定電流的感帯発生部を用いている。

#### 【0060】

電源切替部 110C は、トランジスタ TR21 を備えている。トランジスタ TR21 が図 5 に示したスイッチ 112B に相当する。トランジスタ TR21 のコレクタは、ノイズ吸収部 120C を介して、グランド配線 G1 に接続されている。トランジスタ TR21 のベースには、図 5 に示した制御回路 200 からオン・オフ制御信号  $V_{in}$  が入力する。トランジスタ TR21 のコレクタは、グランド配線 G1 とは完全に絶縁されていないグランド配線 G2 をグランドとするノイズ吸収部 120C に信号を伝達する。

#### 【0061】

ノイズ吸収部 120C は、抵抗 R21、R22 と、トランジスタ TR22 とを備えている。トランジスタ TR22 と抵抗 R21 とにより、図 5 の定電流的感帯発生部 122B を構成する。抵抗 R22 は、図 5 の電流電圧変換回路 128 を構成する。

#### 【0062】

信号補正部 130C は、コンパレータ CP1 を備えている。トランジスタ TR22 がオンすると、信号補正部 130C のコンパレータ CP1 に電圧がかかり、信号補正部 130 の出力電圧  $V_{out}$  は、電源電圧 VDC（例えば、12V）となり、トランジスタ TR22 がオフすると、信号補正部 130 の出力電圧は、0V となる。

#### 【0063】

次に、本実施形態によるインターフェース回路 100C の動作について説明する。

トランジスタ TR21 がオフのとき、トランジスタ TR22 もオフとなり、抵抗 R22 に電流が流れないため、出力電圧  $V_{out}$  は Low レベルとなる。このとき、トランジスタ TR22 は基本的にオープン状態であるため、ノイズによりグランド配線 G1 とグランド配線 G2 の間に電位差が生じたとしても、信号の授受に影響はないものである。

#### 【0064】

ここで、グラウンドの電位差が大きくなると、トランジスタ T R 2 2 のエミッタコレクタ間にトランジスタ T R 2 2 の耐圧  $B V_{ce0}$  以上の過電圧がかかったり、ベースエミッタ間に逆バイアスがかかることがあるので、上述の式 (4) と同じく、

$$-VDC < V_{noise} < B V_{ce0} - VDC \cdots (4)$$

となる必要がある。

#### 【0 0 6 5】

また、トランジスタ T R 2 1 がオンして、抵抗 R 2 1 およびトランジスタ T R 2 2 のベースエミッタ間に電流が流れると、トランジスタ T R 2 2 がオンし、抵抗 R 2 2 に電流が流れ、コンパレータ C P 1 の出力電圧  $V_{out}$  は High レベルとなる。このとき、トランジスタ T R 2 2 は、抵抗 R 2 2 には一定電流を流す定電流的不感帯部を生成する。したがって、グラウンド配線 G 1 とグラウンド配線 G 2 の間の電位変動にかかわらず、抵抗 R 2 1 および抵抗 R 2 2 には一定の電流が流れ、コンパレータ C P 1 の出力を High レベルに維持することができる。

#### 【0 0 6 6】

ここで、グラウンド配線 G 1 に対するグラウンド配線 G 2 の電位が、ノイズ吸収部 1 2 0 C の電源電圧  $VDC$  からトランジスタ T R 2 2 の論理振幅  $\Delta V_{logic}$  を引いたものより高くなると、トランジスタ T R 2 2 に電流が流れなくなるため、式 (10) と同様に、

$$V_{noise} < VDC - \Delta V_{logic} \cdots (10)$$

となる必要がある。

#### 【0 0 6 7】

以上説明したように、制御回路とパワー回路の間のインターフェース回路に、定電流的不感帯回路を用いることにより、寄生インダクタンスによるノイズ電圧によってグラウンド配線 G 1, G 2 間の電圧が変動しても、このノイズ電圧の影響

を受けることなく、制御信号をパワー回路に伝達することができる。また、フォトカプラのような光素子を用いることなく、制御信号をパワー回路に伝達することができる。したがって、フォトカプラを用いることなく、しかも、制御信頼性を向上することができる。

#### 【0068】

次に、図9を用いて、本発明の第1の実施形態によるインターフェース回路を用いた電力変換装置の構成について説明する。

図9は、本発明の第1の実施形態によるインターフェース回路を用いた電力変換装置の構成を示すブロック図である。なお、図2，図4と同一符号は、同一部分を示している。

#### 【0069】

本実施形態による電力変換回路は、制御回路200と、プリドライバ回路100と、パワーモジュール300とから構成されている。プリドライバ回路100の中には、図2及び図4にて説明したインタフェース回路100A及び、ロジック回路150と、ソフトスイッチングゲート駆動回路160とを備えている。

#### 【0070】

制御回路200は、マイクロコンピュータ等を備えている。パワーモジュール300は、パワー素子MF1を備えている。パワー素子MF1は、例えば、MOSFETである。制御回路200は、パワー素子MF1をオンオフ制御するための制御信号を出力する。この制御信号は、プリドライバ回路100の中のインターフェース回路100Aによって、パワー素子MF1の寄生インダクタンスLによって発生するノイズ電圧の影響を受けることなく、パワー素子MF1であるMOSFETのゲートに供給され、パワー素子MF1をオンオフ動作させる。これによって、パワー素子MF1を流れる電流がオン・オフするため、直流電圧を交流電圧に変換する電圧変換装置を構成できる。

#### 【0071】

インターフェース回路100Aは、トランジスタTR1，TR2と、抵抗R1，R2，R5と、不感帯発生部122と、フィルタC1とを備えている。トランジスタTR1は、図2に示した電源切替部110の中のスイッチ112を構成す

る。定電圧的不感帯発生部122は、図2に示したように、ダイオードD1とツェナーダイオードZD1から構成されている。抵抗R1は、図2のLow信号発生部124を構成する。抵抗R2は、図2のHigh信号発生部126を構成する。フィルター回路は、図2に示したコンデンサC1から構成される。抵抗R5とトランジスタTR2とは、図2に示した信号補正部130を構成する。

#### 【0072】

インターフェース回路100Aの動作は、図4にて説明した通りである。インターフェース回路を用いることにより、寄生インダクタンスによるノイズ電圧の影響を受けることなく、制御信号をパワーモジュール300に伝達することができる。

#### 【0073】

ロジック回路150は、インターフェース回路100Aからパワーモジュール300に伝達される信号の中に誤信号等が含まれている場合に、その誤信号をカットして、パワーモジュール300が誤動作するのを防止する回路である。ソフトスイッチングゲート駆動回路160は、パワー素子MF1であるMOSFETのゲートに入力する電圧の変化を緩やかにして、パワー素子MF1を緩やかにオンさせ、パワー素子MF1を流れる電流Iを緩やかにするための回路である。式(1)にて説明したように、ノイズ電圧 $V_{noise}$ は、寄生インダクタンスLと、パワー素子MF1を流れる電流Iの時間変化分( $dI/dt$ )で決まる。したがって、寄生インダクタンスLが既知の場合、パワー素子MF1を流れる電流Iの時間変化分( $dI/dt$ )を、ソフトスイッチングゲート駆動回路160によって、パワー素子MF1であるMOSFETのゲートに入力する電圧の変化を制御することにより、ノイズ電圧 $V_{noise}$ を所定の値にすることができる。

#### 【0074】

インターフェース回路100Aが出力するパワー素子MF1の駆動信号信号は、ロジック回路150とソフトスイッチングゲート駆動回路160を介し、パワー素子MF1であるMOSFETを駆動する。ここで、プリドライバ回路100の電源端子にかかる電圧をVDCとすると、通常VDCは、インターフェース回路100A、ロジック回路150およびゲート駆動回路160の電源を兼ねているた

め、パワー素子MF1であるMOSFETのゲート駆動電圧に依存する。一般的には、10～20V前後である。また、ノイズ電圧 $V_{noise}$ は、上述した式(10)により、

$$V_{noise} < V_{DC} - \Delta V_{logic} \cdots (10)$$

となる。

#### 【0075】

また、フィルタC1およびトランジスタTR2からなる信号補正部の論理振幅を示す $\Delta V_{logic}$ は、トランジスタTR2のベース駆動電圧に相当する0.6V前後となる。ノイズ電圧の影響を受けない、すなわち、ノイズ耐量を持つインターフェース回路を有する電力変換装置としては、上述の式(10)を必要があるので、例えば、 $V_{DC}$ を12Vとすると、

$$V_{noise} < 12 - 0.6 = 11.4 \text{ [V]} \cdots (11)$$

を満たす必要がある。 $V_{noise}$ を決定する要素として、パワーモジュール109の回路に存在する寄生インダクタンスLと、寄生インダクタンスLを流れる電流の時間変化率 $dI/dt$ の二つがある。寄生インダクタンスの値Lは、モジュール内部の配線や構造によって決まるものである。電流の時間変化率 $dI/dt$ は、ゲート駆動回路160の定数によって決まる。MOSFETのスイッチングスピードをゆっくりにすると、電流の時間変化率 $dI/dt$ が減少するため、 $V_{noise}$ の値を低く押さえることができる。しかし、MOSFETをゆっくりとスイッチングを行うことは、MOSFETの非飽和領域を長時間使うことになるため、スイッチングロスが増えることになる。したがって、インダクタンスLを可能な限り小さく抑え、適切な電流の時間変化率 $dI/dt$ を選択することが、低損失と低ノイズを両立するために必要となる。たとえば、インダクタンスが100nH以下となるモジュールを使用すると、ゲート抵抗を調整することで、電流の時間変化率を100A/ $\mu$ s以下となるよう設計することで、

$$V_{\text{noise}} < 100 [\text{nH}] \times 100 [\text{A}/\mu\text{s}] = 10 [\text{V}] \cdots (12)$$

となり、不感帯電圧  $V_c$  を、

$$10 [\text{V}] < V_c < 11.4 [\text{V}] \cdots (13)$$

となるように選ぶと、上述の式 (8) 、

$$V_{\text{noise}} < V_c < V_{\text{DC}} - \Delta V_{\text{logic}} \cdots (8)$$

を満たす電力変換装置とすることができる。

#### 【0076】

なお、図9に示した構成において、電源切替部を構成するトランジスタTR1は、制御回路200の中に内蔵する構成とすることもできる。

#### 【0077】

以上説明したように、寄生インダクタンスによるノイズ電圧の影響を受けることなく、制御信号をパワー回路に伝達できるインターフェース回路を用いることにより、フォトカプラのような光素子を用いることなく、制御信号をパワー回路に伝達することができる。したがって、電力変換回路として、フォトカプラを用いることなく、しかも、制御信頼性を向上することができる。

次に、図10及び図11を用いて、本発明の第1の実施形態によるインターフェース回路を用いた電動車両の構成について説明する。

図10は、本発明の第1の実施形態によるインターフェース回路を用いた電動車両の構成を示すブロック図である。図11は、図10に示した電動車両に用いられる電力変換回路の構成を示すブロック図である。なお、図2、図4、図9と同一符号は、同一部分を示している。

#### 【0078】

図10に示すように、本実施形態による電動車両は、駆動力源として、エンジ

ン (E) 410 と、電動発電機 (M/G) 420 とを備えている。エンジン (E) 410 及び電動発電機 (M/G) 420 にて発生した駆動力は、変速機 (T/M) 430 およびデファレンシャルギア (DEF) 440 を介して、車輪 WH1, WH2 に伝達され、車両を走行させる。ここで、電動発電機 (M/G) 420 は、エンジン (E) 410 をアシストして用いられる。なお、エンジンと、電動機とで、それぞれ独立して車輪を駆動するパラレル駆動式のものに本実施形態を適用することもできる。さらに、電動機のみによって車輪を駆動する電動車両にも本実施形態を適用することができる。

#### 【0079】

電動発電機 (M/G) 420 に供給される交流電力は、36V バッテリー 510 に蓄積された直流電力を、インバータ INV によって電力変換することで得られる。インバータ INV は、モータコントロールユニット (MCU) 200 と、インターフェース回路 100A を内蔵するプリドライバ回路 100 と、パワードライバ 300 とから構成されている。また、電動発電機 (M/G) 420 が発電機として動作するとき、発電機によって発電された交流電力は、インバータ INV によって直流電力に変換され、36V バッテリー 510 に蓄積される。また、DC/DC コンバータ 530 によって 14V の直流電圧に変換され、12V バッテリー 520 に蓄積される。

#### 【0080】

モータコントロールユニット 200 と、エンジン (E) 410 を制御するエンジンコントロールユニット 610 と、電動発電機 (M/G) 420 を制御する変速機コントロールユニット 620 と、バッテリーを制御するバッテリーコントロールユニット 630 は、コントロールエリアネットワーク CAN を介して、全体コントローラ (CU) によって統合制御される。

#### 【0081】

図 11 に示すように、本実施形態による電力変換回路は、制御回路 (モータコントロールユニット) 200 と、プリドライバ回路 100 と、パワーモジュール 300 とから構成されている。プリドライバ回路 100 は、インターフェース回路 100A と、ロジック回路 150 と、下アームソフトスイッチングゲート駆動



回路 1 6 0 L と、上アームソフトスイッチングゲート駆動回路 1 6 0 U と、レベルシフト回路 1 7 0 とを備えている。パワーモジュール 3 0 0 は、下アームに設けられたパワー素子 MF 1 L である MOS F E T と、上アームに設けられたパワー素子 MF 1 U である MOS F E T とを備えている。制御回路 2 0 0 は、下アームに設けられたパワー素子 MF 1 L をオン・オフ制御する制御信号 C L と、上アームに設けられたパワー素子 MF 1 U をオン・オフ制御する制御信号 C U をそれぞれ出力する。インターフェース回路 1 0 0 A の内部構成は、図 9 に示したものと同様である。但し、下アームに設けられたパワー素子 MF 1 L をオン・オフ制御する制御信号 C L に対応するインターフェース回路と、上アームに設けられたパワー素子 MF 1 U をオン・オフ制御する制御信号 C U に対応するインターフェース回路をそれぞれ備えている。ロジック回路 1 5 0 は、例えば、下アームに設けられたパワー素子 MF 1 L と、上アームに設けられたパワー素子 MF 1 U を同時にオンさせるような誤信号が発生した場合には、それを検知して、その誤信号をカットし、パワーモジュール 3 0 0 が誤動作するのを防止する。

#### 【 0 0 8 2 】

下アームソフトスイッチングゲート駆動回路 1 6 0 L は、図 9 に示したソフトスイッチングゲート駆動回路 1 6 0 と同様の構成を有している。下アームソフトスイッチングゲート駆動回路 1 6 0 L は、インターフェース回路 1 0 0 A によって寄生インダクタンス L の影響を受けることなく伝達された制御信号によって、パワー素子 MF 1 L である MOS F E T をオン・オフ制御する。

#### 【 0 0 8 3 】

ここで、下アームのパワー素子 MF 1 L である MOS F E T をオン・オフ制御するゲート電圧を、 $H_i (12V) / L_o (0V)$  とし、パワーモジュール 3 0 0 の P 端子と N 端子の間に、バッテリー 5 1 0 から供給される電圧を 4 2 V とすると、上アームのパワー素子 MF 1 U である MOS F E T をオン・オフ制御するゲート電圧は、 $H_i (54V) / L_o (42V)$  とする必要がある。すなわち、4 2 V 分だけレベルシフトする必要がある。そのために、レベルシフト回路 1 7 0 が用いられている。

#### 【 0 0 8 4 】

インターフェース回路 1 0 0 A によって寄生インダクタンス L の影響を受けることなく伝達された制御信号 C U は、レベルシフト回路 1 7 0 によって、例えば、4 2 V だけレベルシフトされ、上アームソフトスイッチングゲート駆動回路 1 6 0 U に供給される。上アームソフトスイッチングゲート駆動回路 1 6 0 U は、図 9 に示したソフトスイッチングゲート駆動回路 1 6 0 と同様の構成を有している。上アームソフトスイッチングゲート駆動回路 1 6 0 U は、インターフェース回路 1 0 0 A によって寄生インダクタンス L の影響を受けることなく伝達された制御信号によって、パワー素子 M F 1 U である M O S F E T をオン・オフ制御する。

#### 【 0 0 8 5 】

制御回路（モータコントロールユニット） 2 0 0 は、バッテリー 3 6 V の直流電力を単に交流電力に変換して、電動発電機 4 2 0 に供給するだけでなく、パワー素子 M F 1 U, M F 1 L のオン時間を制御することにより、電動発電機 4 2 0 に供給するモータ電流を変化させることにより、電動発電機 4 2 0 が発生するモータトルクを制御する。

#### 【 0 0 8 6 】

以上説明したように、寄生インダクタンスによるノイズ電圧の影響を受けることなく、制御信号をパワー回路に伝達できるインターフェース回路を用いることにより、フォトカプラのような光素子を用いることなく、制御信号をパワー回路に伝達することができる。したがって、電動車両として、フォトカプラを用いることなく、しかも、制御信頼性を向上することができる。

#### 【 0 0 8 7 】

##### 【発明の効果】

本発明によれば、インターフェース回路、それを用いた電力変換装置およびそれを用いた電動車両において、フォトカプラを用いることなく、しかも、制御信頼性を向上することができる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の第 1 の実施形態によるインターフェース回路の基本構成を示すブロック図である。

【図 2】

本発明の第 1 の実施形態によるインターフェース回路の具体的構成を示すブロック図である。

【図 3】

本発明の第 1 の実施形態によるインターフェース回路に用いる定電圧的不感帯発生部の特性図である。

【図 4】

本発明の第 1 の実施形態による電力変換装置に用いるインターフェース回路の構成を示す回路図である。

【図 5】

本発明の第 2 の実施形態によるインターフェース回路の具体的構成を示すブロック図である。

【図 6】

本発明の第 2 の実施形態によるインターフェース回路に用いる定電圧的不感帯発生部の特性図である。

【図 7】

本発明の第 2 の実施形態によるインターフェース回路の構成を示す回路図である。

【図 8】

本発明の第 3 の実施形態によるインターフェース回路の構成を示す回路図である。

【図 9】

本発明の第 1 の実施形態によるインターフェース回路を用いた電力変換装置の構成を示すブロック図である。

【図 1 0】

本発明の第 1 の実施形態によるインターフェース回路を用いた電動車両の構成を示すブロック図である。

## 【図 1 1】

図 1 0 に示した電動車両に用いられる電力変換回路の構成を示すブロック図である。

## 【符号の説明】

1 0 0 … プリドライバ回路

1 0 0 A, 1 0 0 B, 1 0 0 C … インターフェース回路

1 1 0 … 電源切替部

1 1 2 … スイッチ

1 2 0 … ノイズ吸収部

1 2 2 … 不感帯発生部

1 2 4 … L o w 信号発生部

1 2 6 … H i g h 信号発生部

1 2 8 … 電流電圧変換回路

1 3 0 … 信号補正部

1 5 0 … ロジック回路

1 6 0, 1 6 0 U, 1 6 0 L … ソフトスイッチングゲート駆動回路

2 0 0 … 制御回路

3 0 0 … パワー回路 (パワーモジュール～

G1, G2 … グランド配線

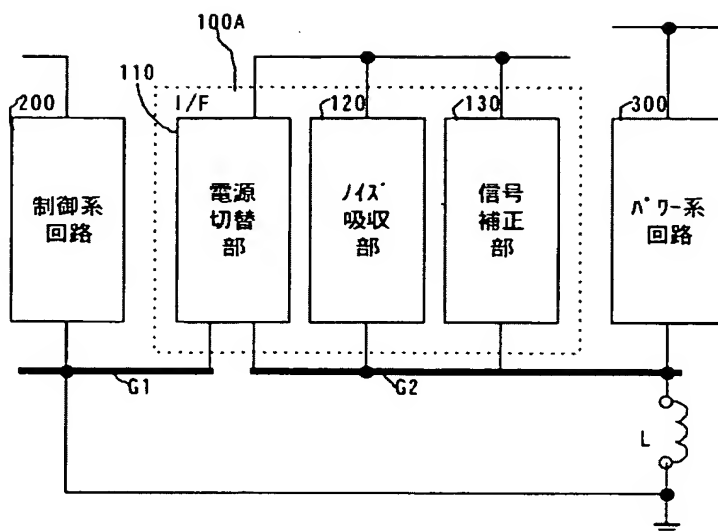
L … 寄生インダクタンス

MF 1, MF 1 U, MF 1 L … パワー素子 (M O S F E T)

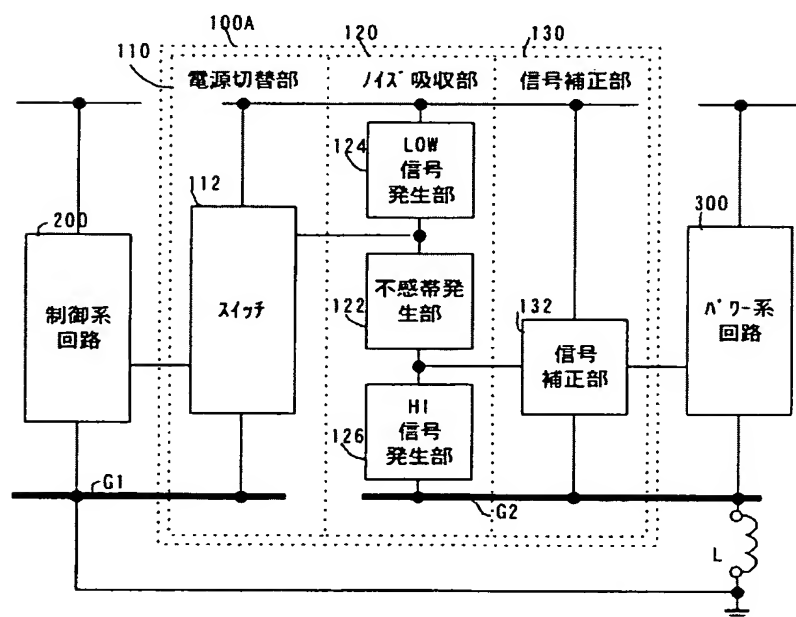
【書類名】

図面

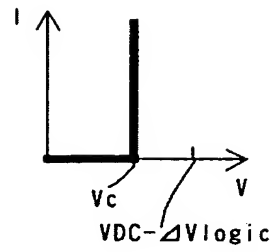
【図 1】



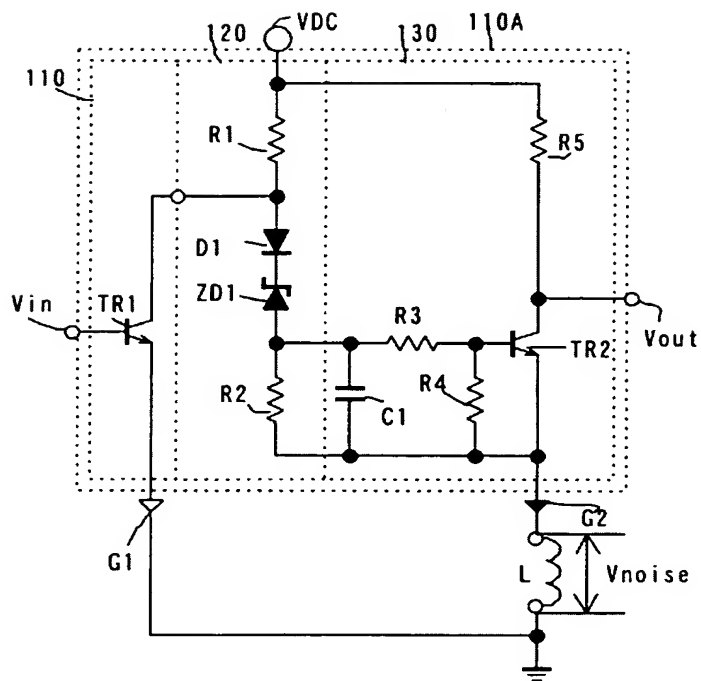
【図 2】



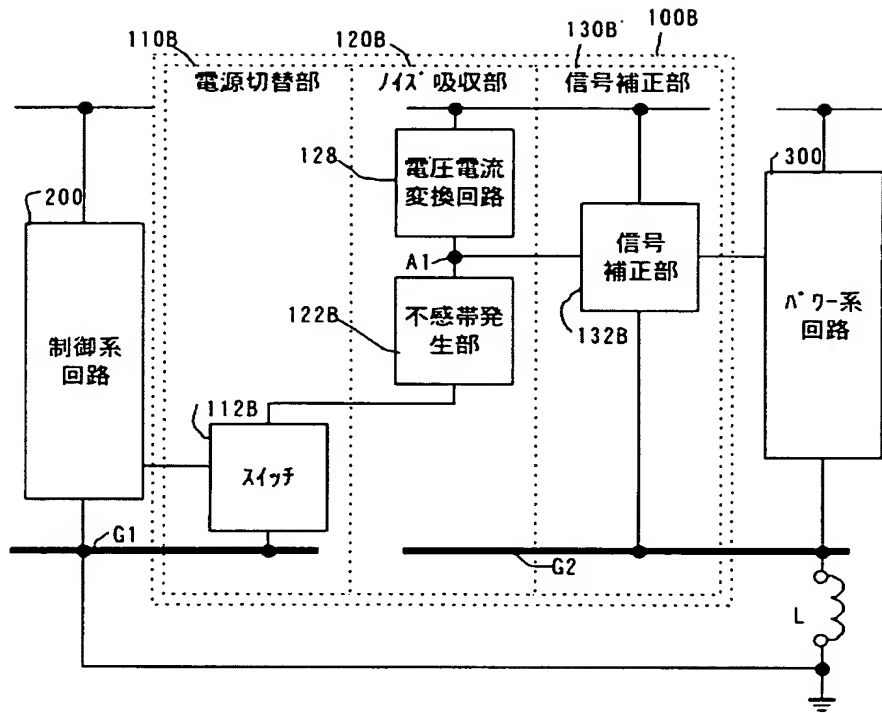
【図 3】



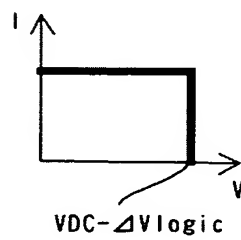
【図 4】



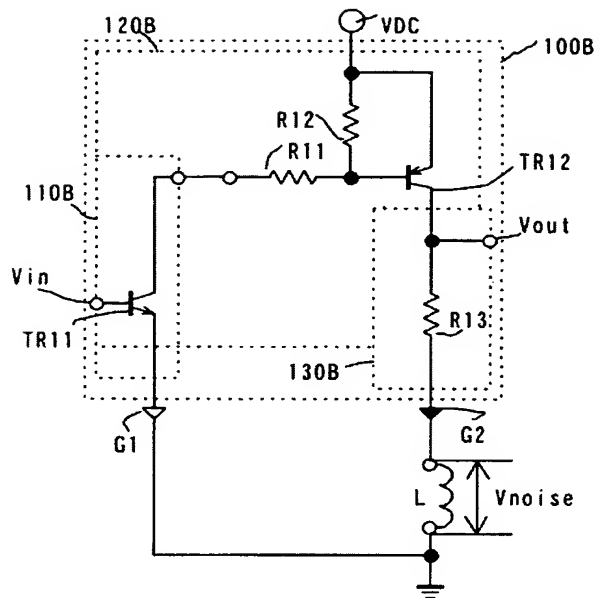
【図 5】



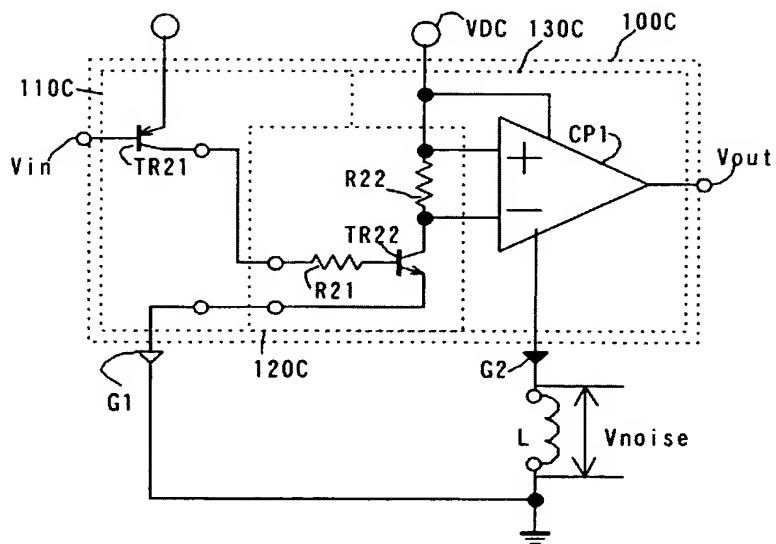
【図 6】



【図 7】

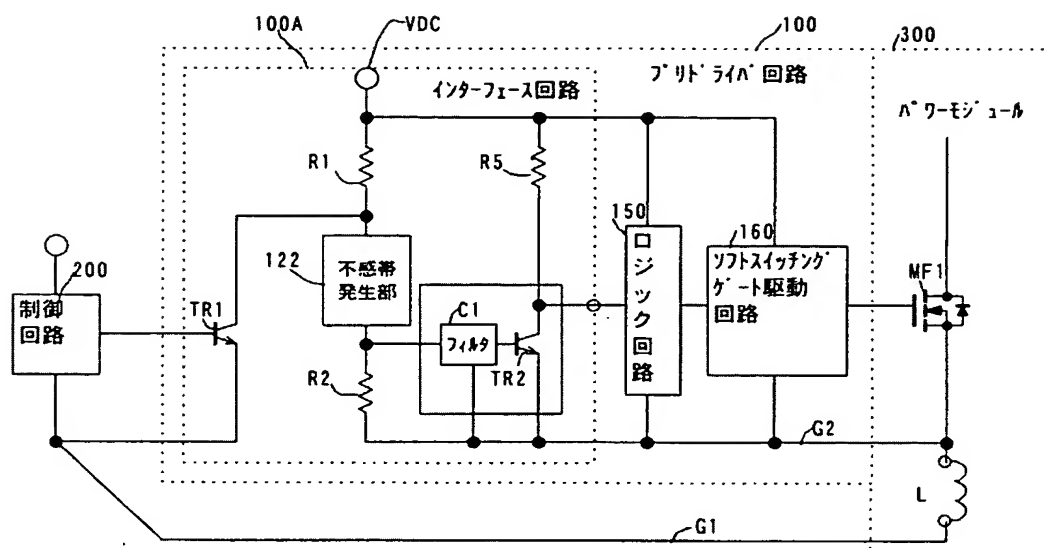


【図 8】

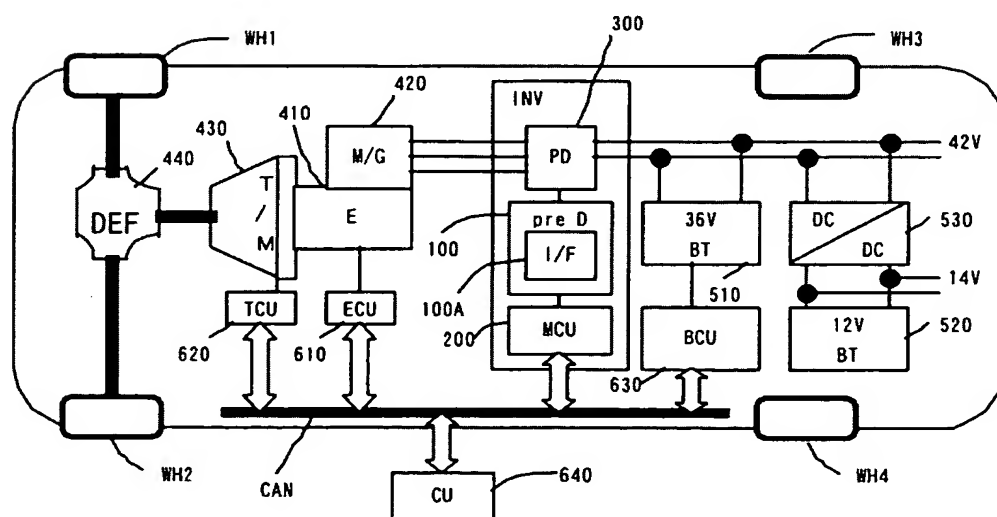




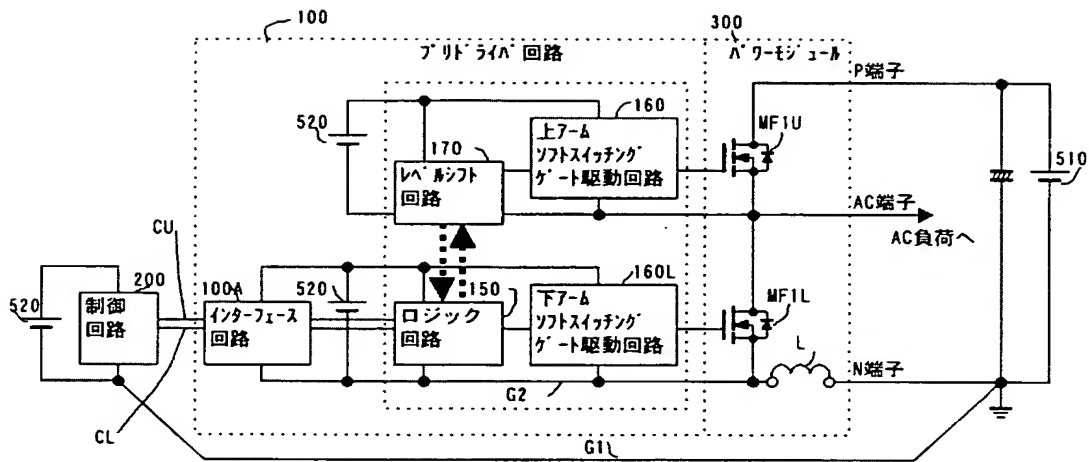
【図 9】



【図 10】



【図 1 1】



**【書類名】 要約書****【要約】****【課題】**

フォトカプラを用いることなく、しかも、制御信頼性の向上したインターフェース回路、それを用いた電力変換装置およびそれを用いた電動車両を提供することにある。

**【解決手段】**

インターフェース回路 1 0 0 A は、パワー素子を駆動する制御回路 2 0 0 からパワー回路 3 0 0 の中のパワー素子に制御信号を伝達する。インターフェース回路 1 0 0 A は、制御回路 2 0 0 のグランドとパワー素子のグランドの間に生じるノイズ電圧を電氣的に吸収するノイズ吸収部 1 2 0 を備える。ノイズ吸収部 1 2 0 は、ノイズ電圧が発生しても、このノイズ電圧の影響を受けることなく、制御回路 2 0 0 が発生する制御信号をパワー素子に伝達する。

**【選択図】 図 1**

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 3 6 0 9 8
受付番号	5 0 2 0 1 7 5 0 2 9 5
書類名	特許願
担当官	第三担当上席 0 0 9 2
作成日	平成 1 4 年 1 1 月 2 1 日

< 認定情報・付加情報 >

【提出日】 平成14年11月20日

次頁無

特願 2 0 0 2 - 3 3 6 0 9 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所